**中山大学数据科学与计算机学院本科生实验报告**

**（2017学年春季学期）**

课程名称：**计算机组成原理实验**  任课教师：郭雪梅 助教：李声涛、王绍菊

|  |  |  |  |
| --- | --- | --- | --- |
| 年级&班级 | **1518班** | 专业(方向) | **移动信息工程** |
| 学号 | **15352408** | 姓名 | **张镓伟** |
| 电话 | **13531810182** | Email | [**709075442@qq.com**](mailto:709075442@qq.com) |
| 开始日期 | **2017.5.5** | 完成日期 | **2017.5.6** |

1. **实验题目**

通过Vivado设计3-8译码器，并将其烧录在Basys3开发板上。通过拨码开关和led控制显示。

1. **实验目的**

1.熟练使用vivado的各种功能。

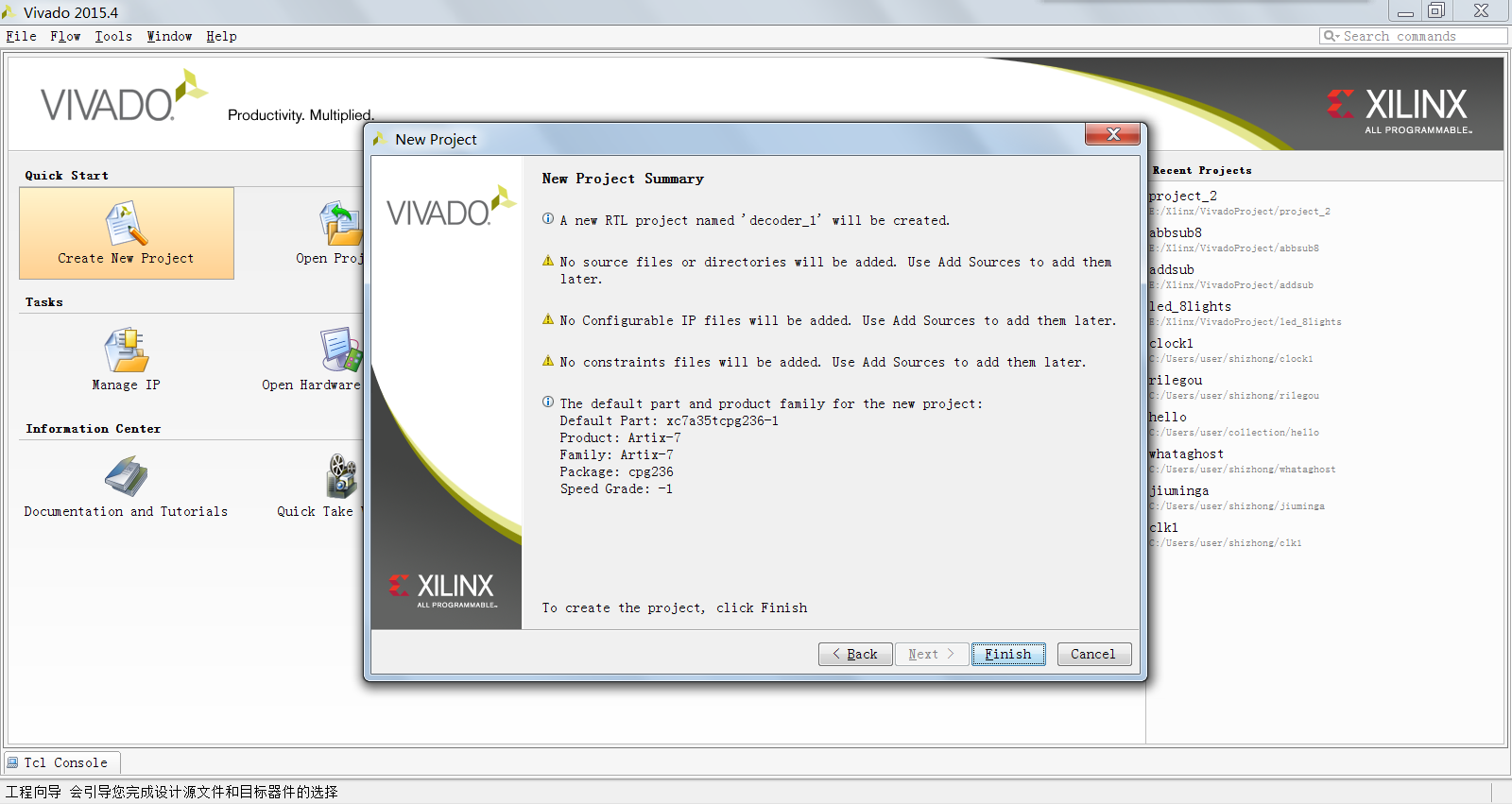
2.练习verilog编程。

3.练习使用Basys3开发板。

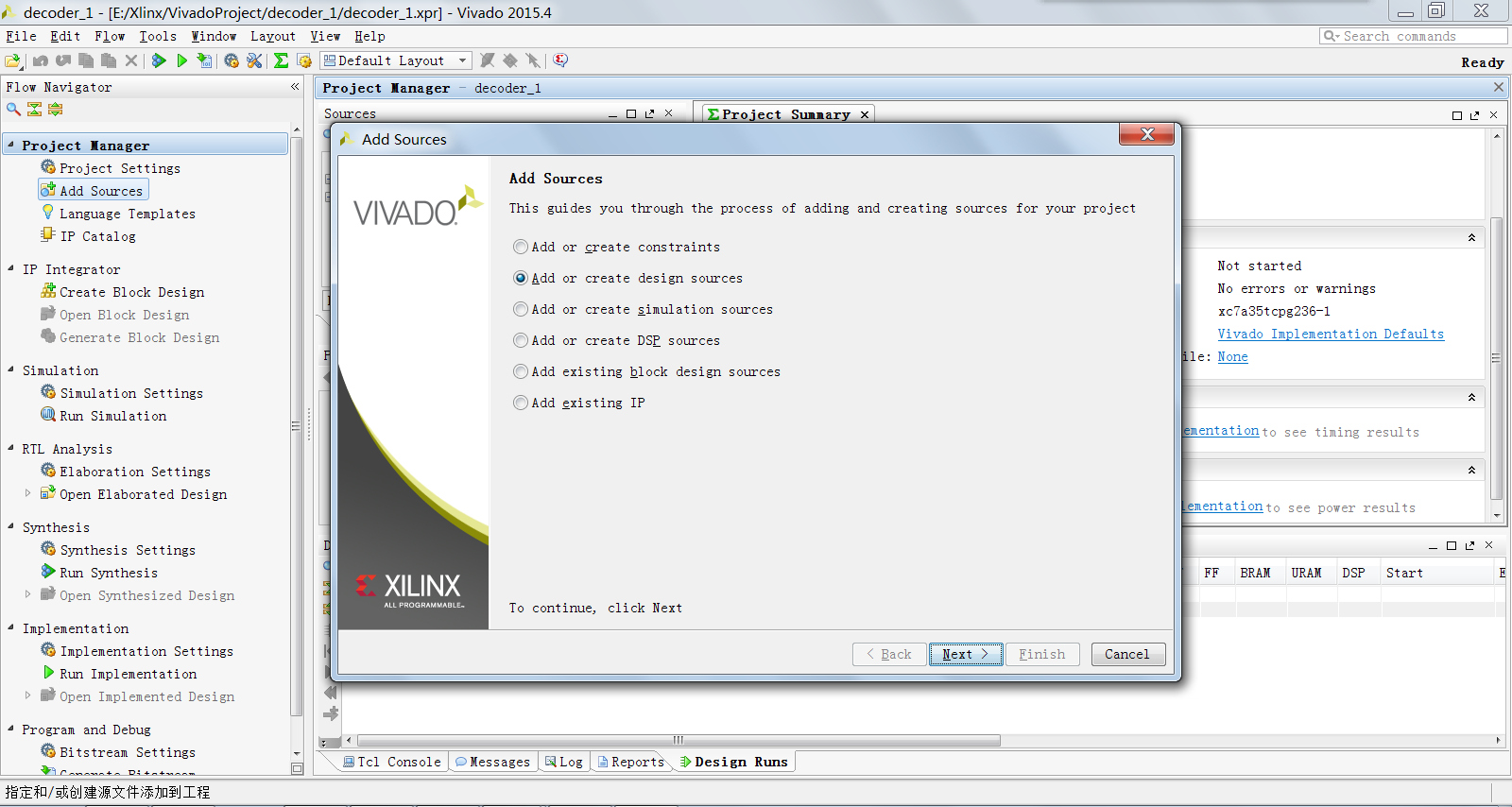
**三、实验内容**

**1.** 实验步骤

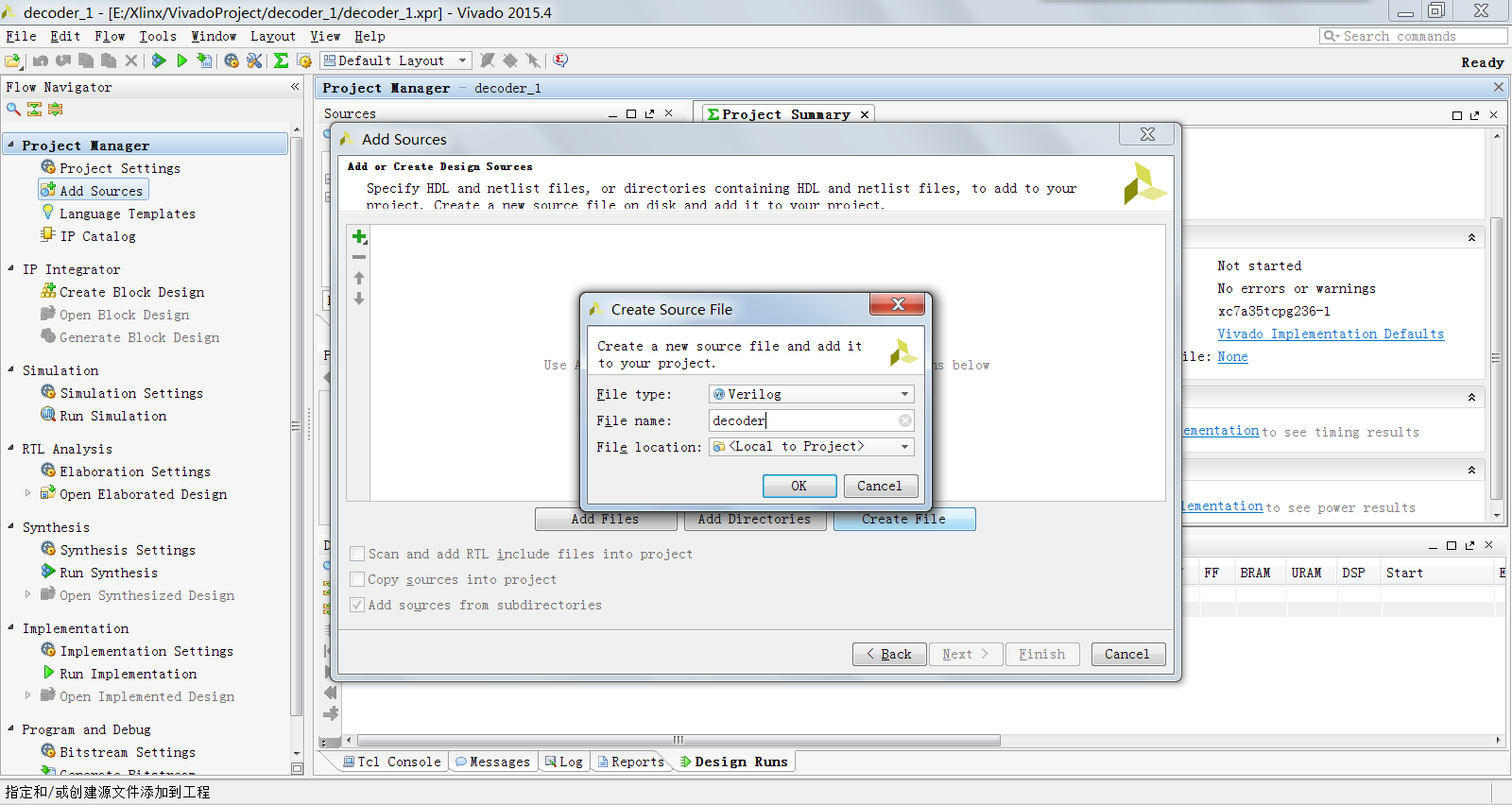
（1）打开Vivado，新建一个RTL项目。



### （2）点击左侧Project Manager下的Add Sources，选择Add or create design sources来添加源文件。



（2）选择create file创建新的源文件。



1. 按照实验教程输入代码。

timescale 1ns / 1ps

module decoder(

input [2:0] sw,

output reg[7:0] led

);//定义输入输出

always@(sw)begin

//case语句来实现译码

case(sw)

3'b000:led=8'b0000\_0001;

3'b001:led=8'b0000\_0010;

3'b010:led=8'b0000\_0100;

3'b011:led=8'b0000\_1000;

3'b100:led=8'b0001\_0000;

3'b101:led=8'b0010\_0000;

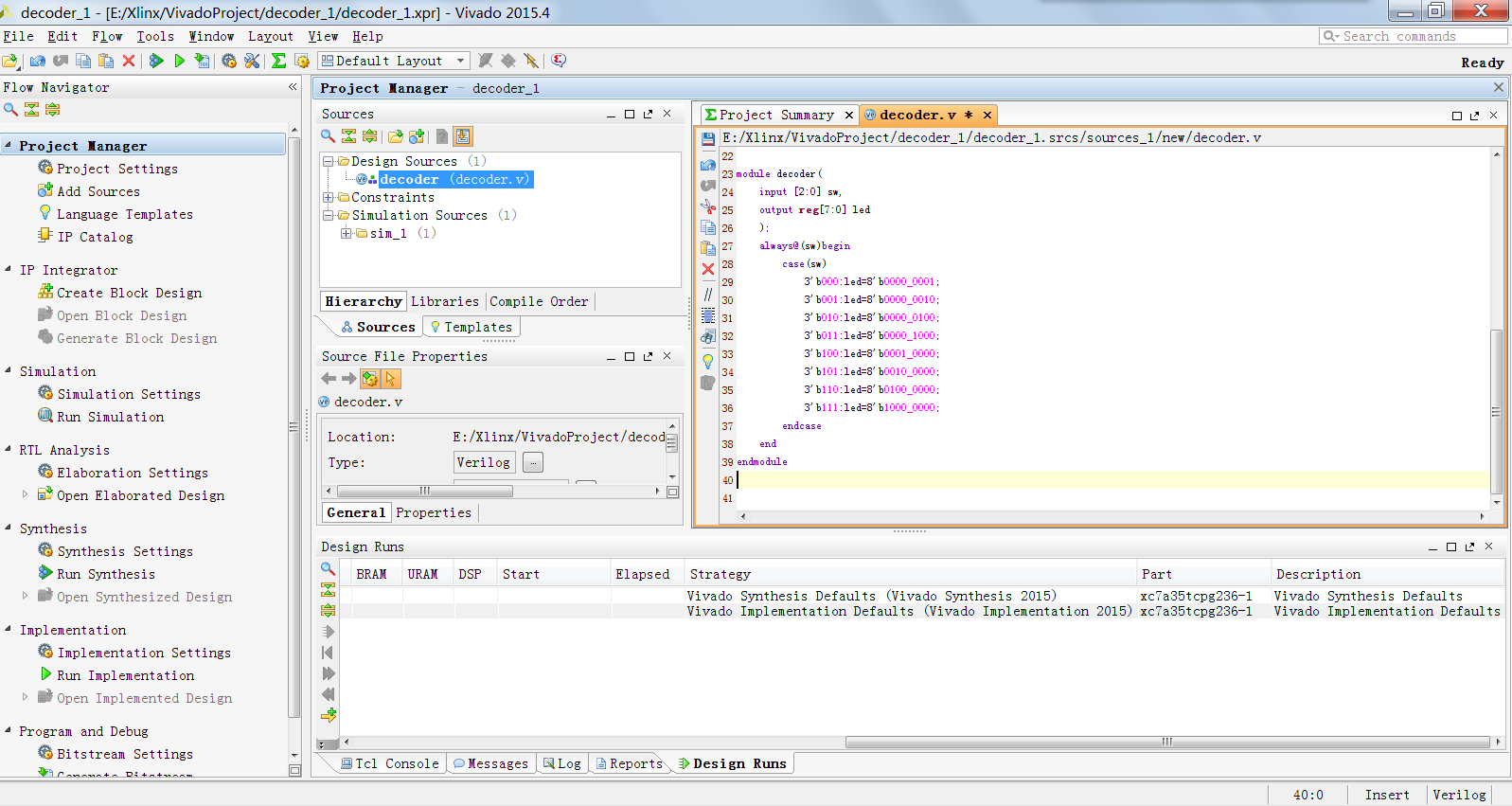
3'b110:led=8'b0100\_0000;

3'b111:led=8'b1000\_0000;

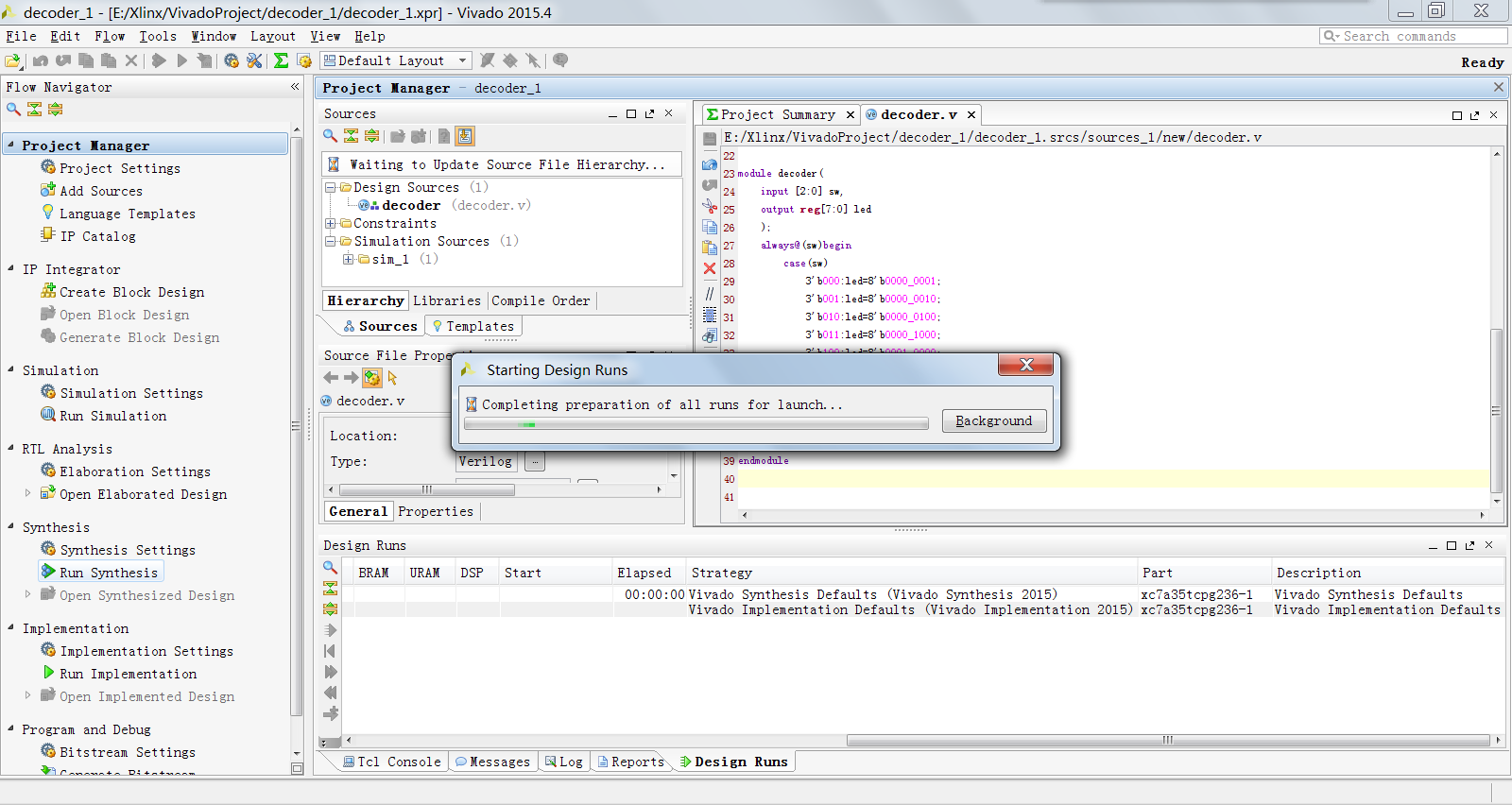
endcase

end

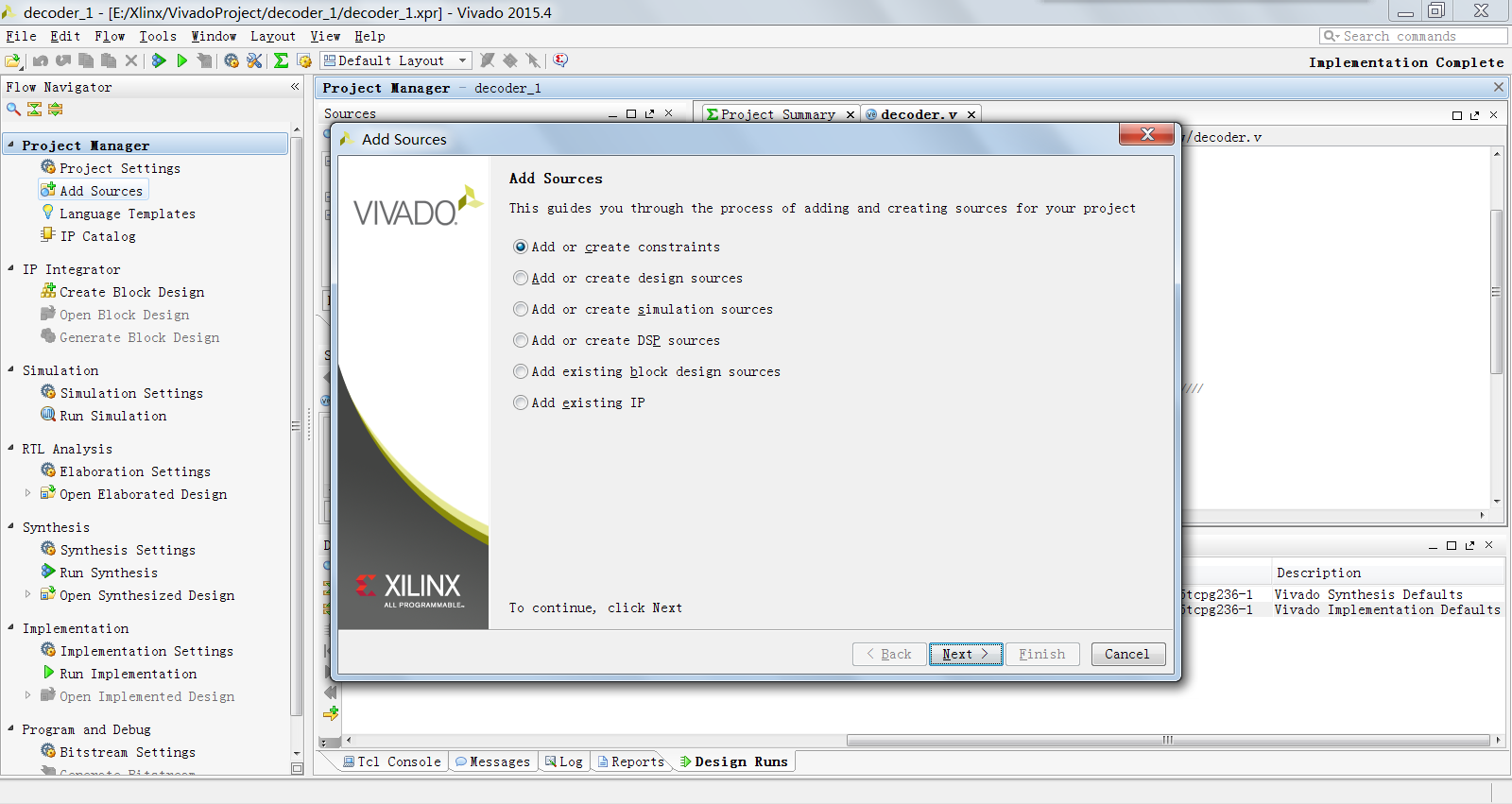
endmodule



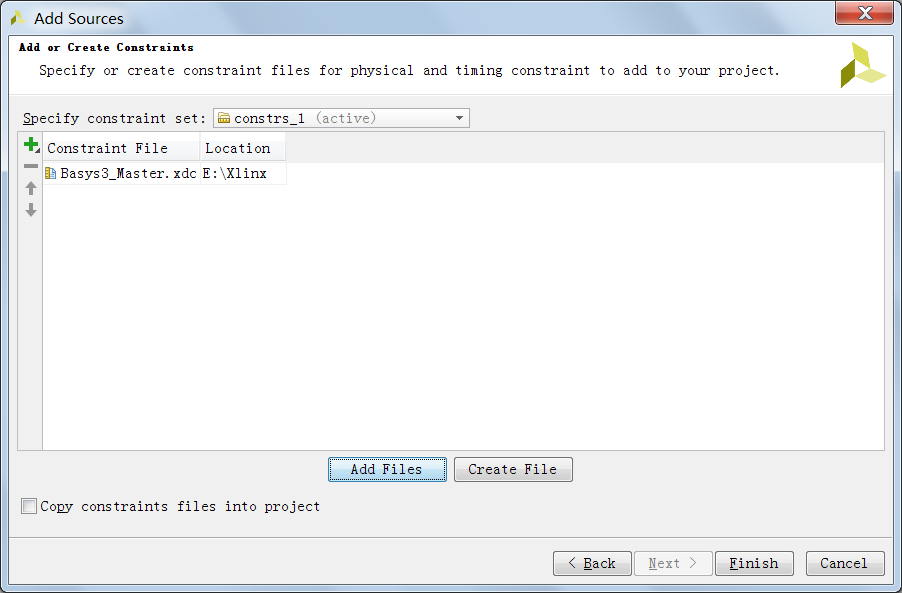
1. 点左侧Run Synthesis综合设计文件。



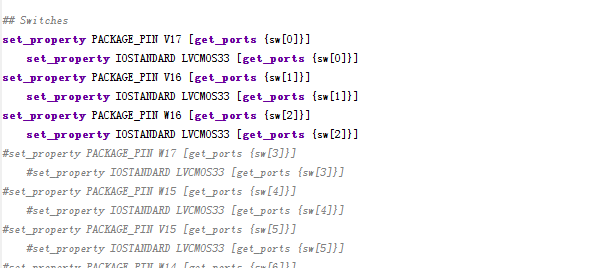
1. 综合完成后点左侧Add source，选择Add or create constraints添加约束文件。

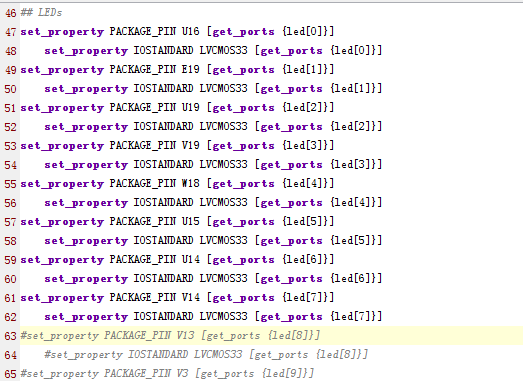


1. 添加给出的约束文件。

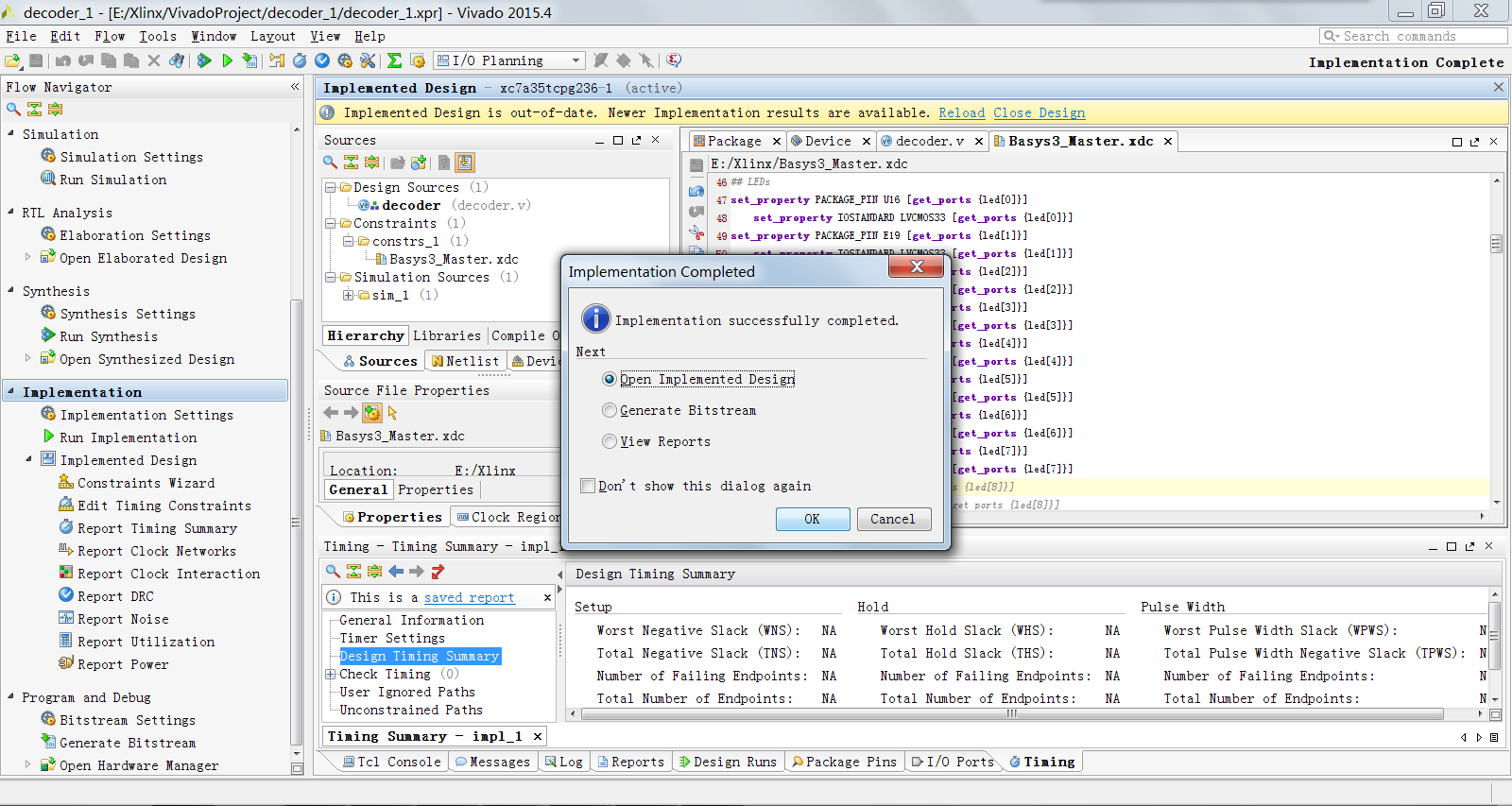


1. 做FPGA的管脚分配。

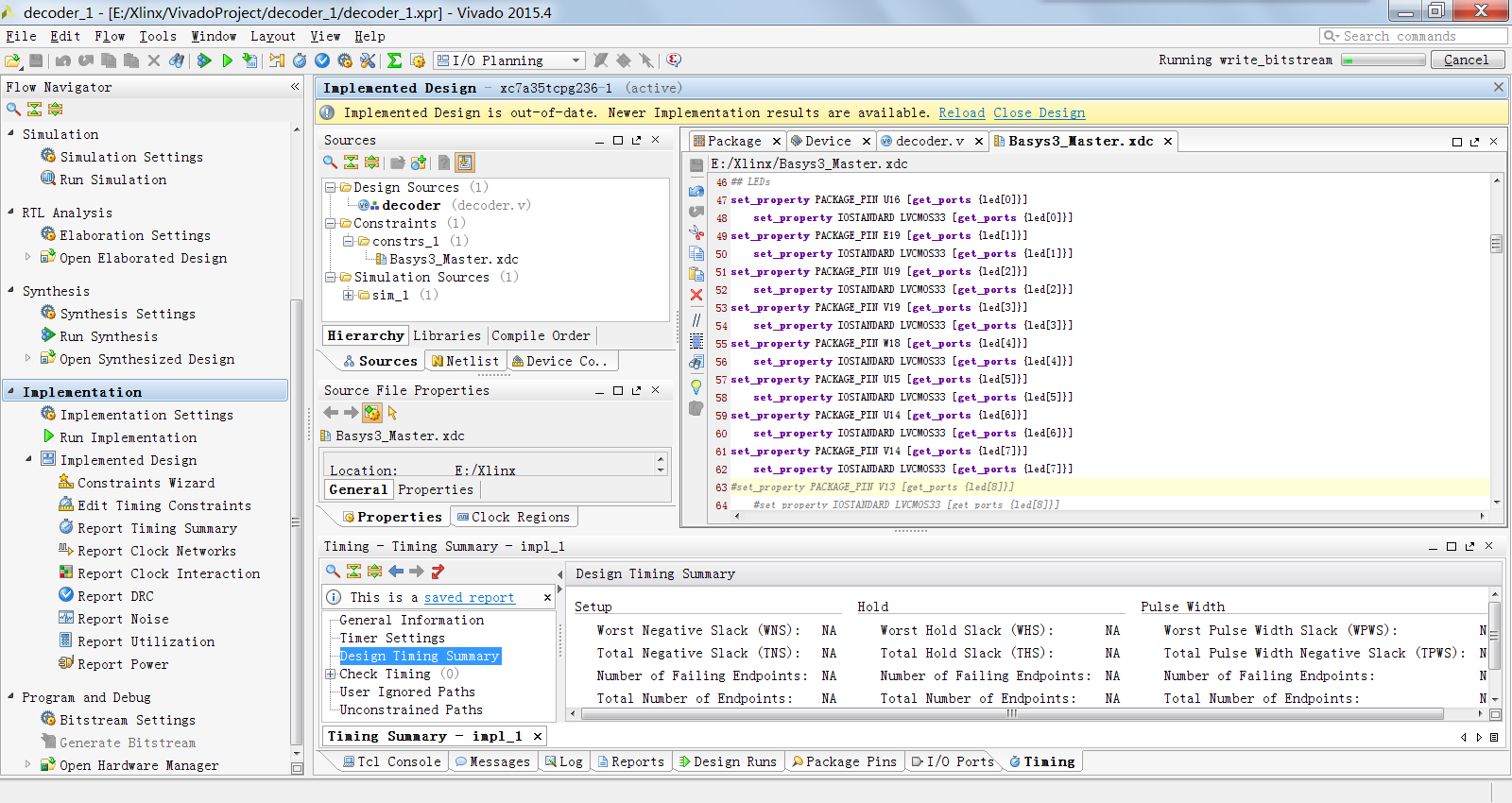




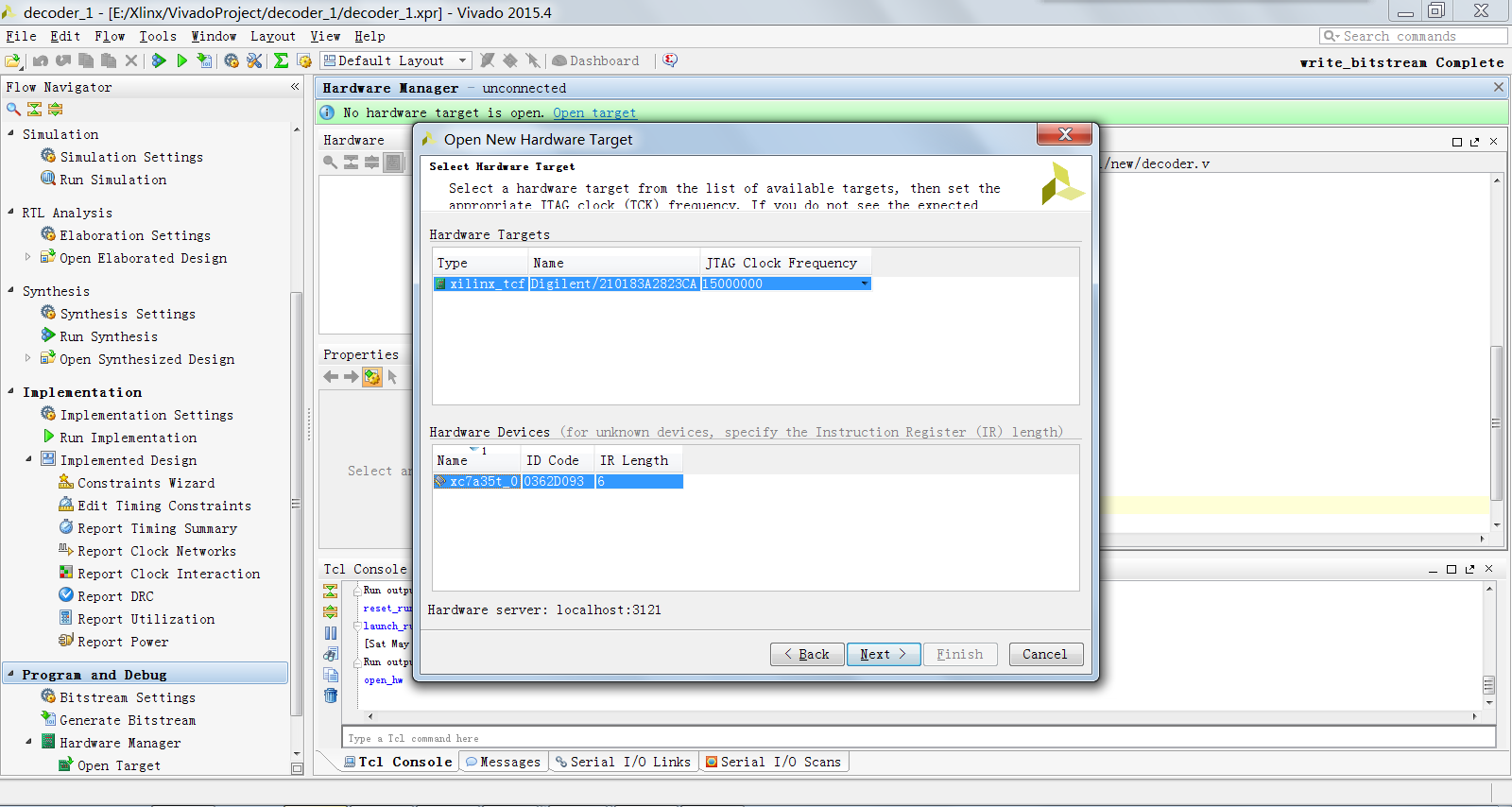
1. 点击Run Implementation

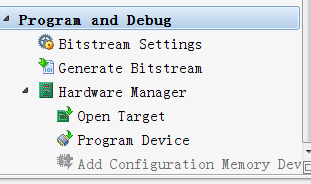


1. 点击 Generate Bitstream产生比特流

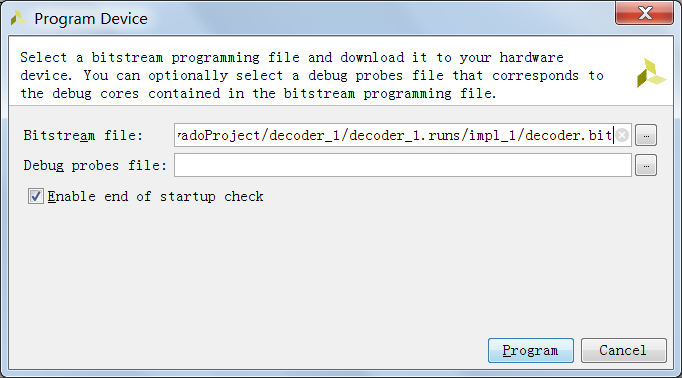


1. 板子连接电脑，点击Program and Debug下的Hardware Manager的Open Target，选择板子。点击Program Device，选择板子。

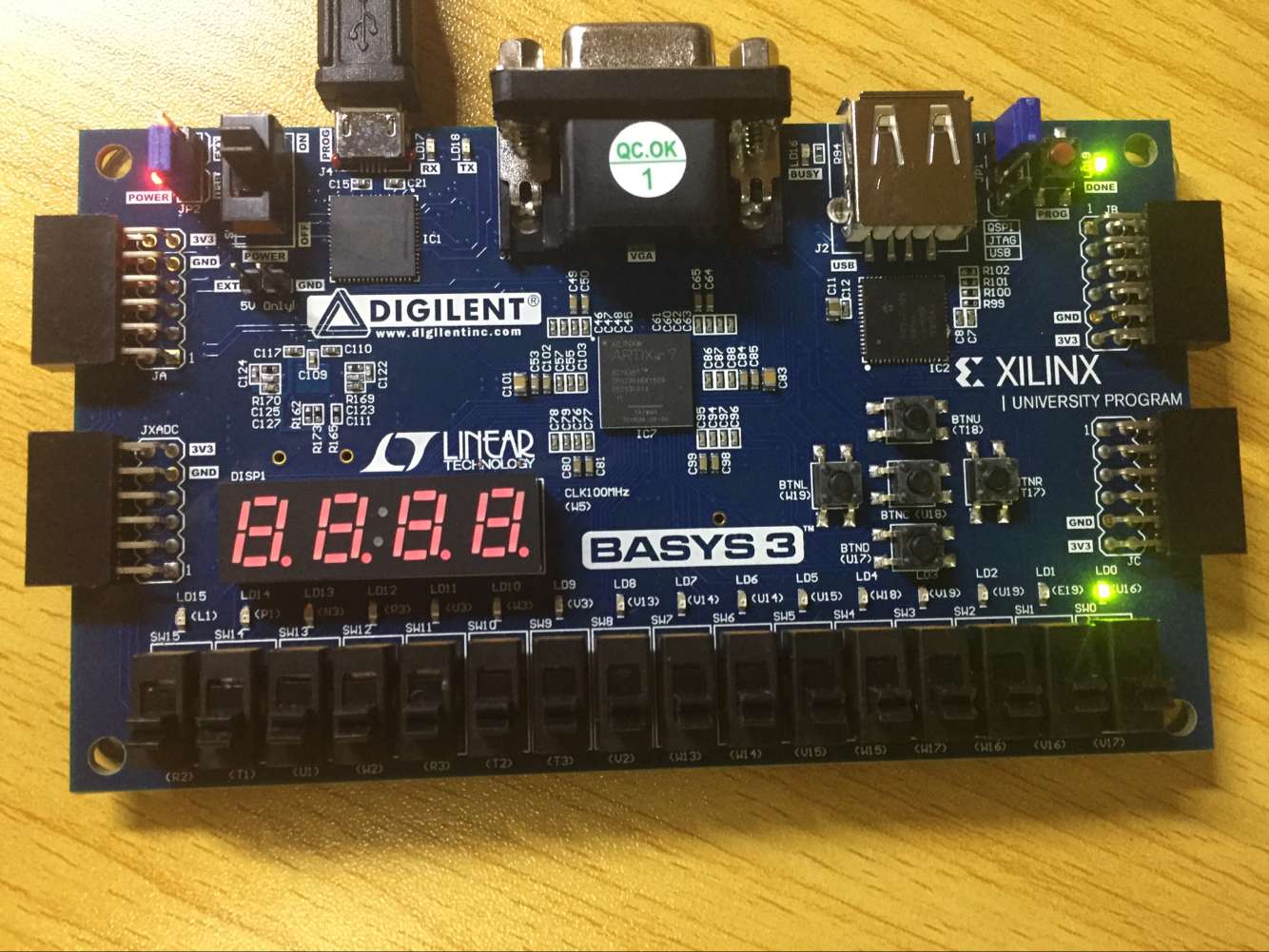




1. 选择之前生成的比特流文件。

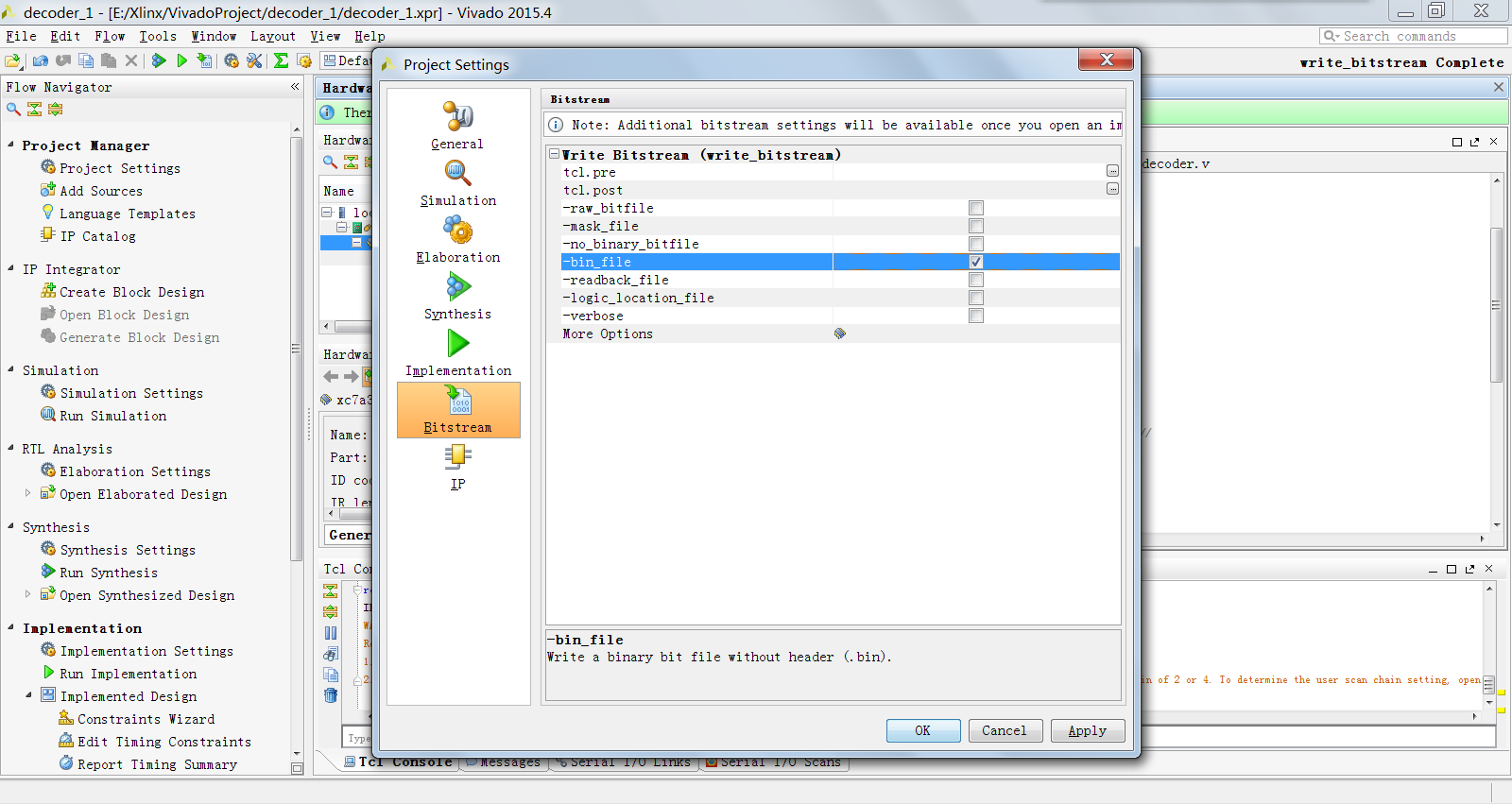


1. 烧录成功后板子按照要求工作。

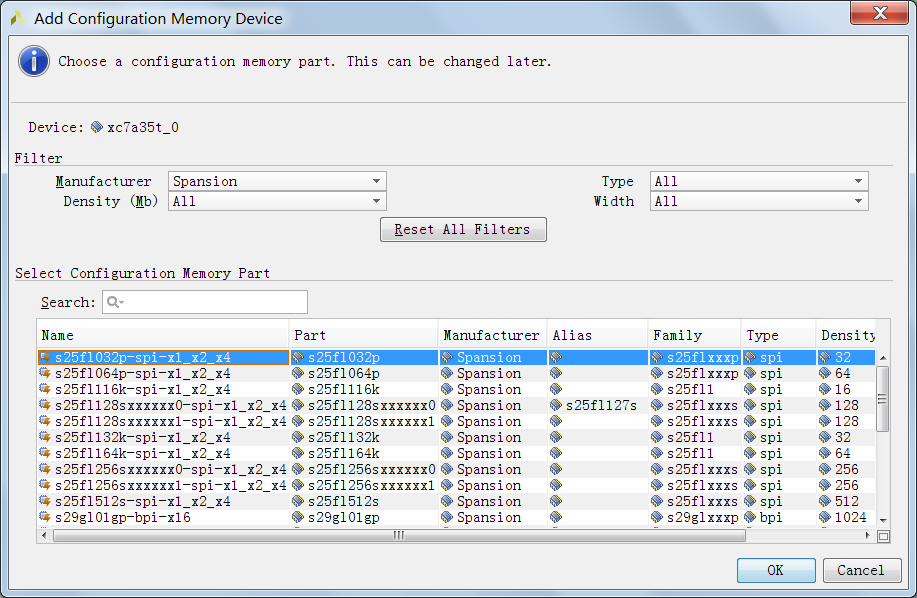


烧写串行FLASH

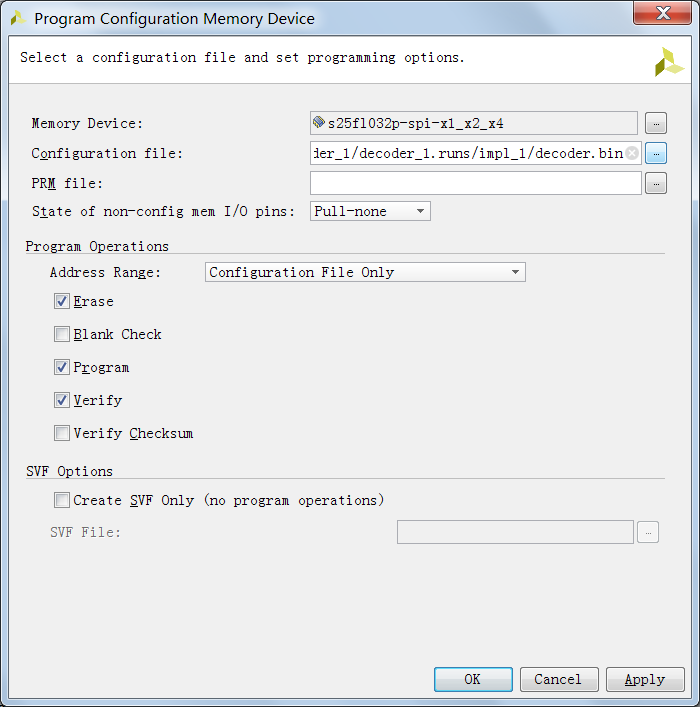
（13）点击Project Manager下的Project Setting。选择-bin.file。



1. 重新Generate Bitstream
2. 右击FPGA型号选择Add Configuration Memory Device，选择串行FLASH的型号



1. 选择生成的bin文件。



(17)完成后与之前工作状态相同

**2.** 实验原理

输入信号 wire [2:0]sw，输出信号 reg [7:0]led。

  这里的led必须为reg型，因为在always中不断改变。

  这里使用case语句实现 3-8译码器。

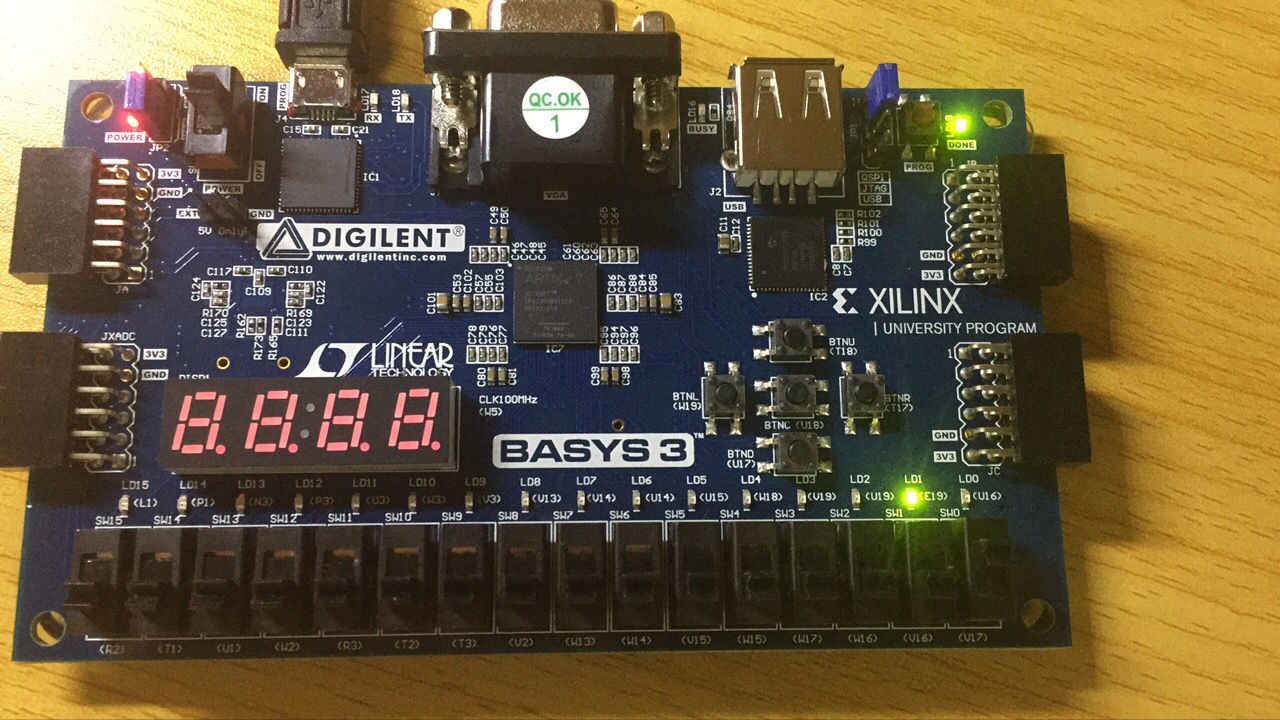
  sw的电平是该组合逻辑的触发信号。每种SW信号对应一种led亮灯模式。

  比如将拨码开关都关闭，对应000，那么输出为 0000\_0000，led0亮。

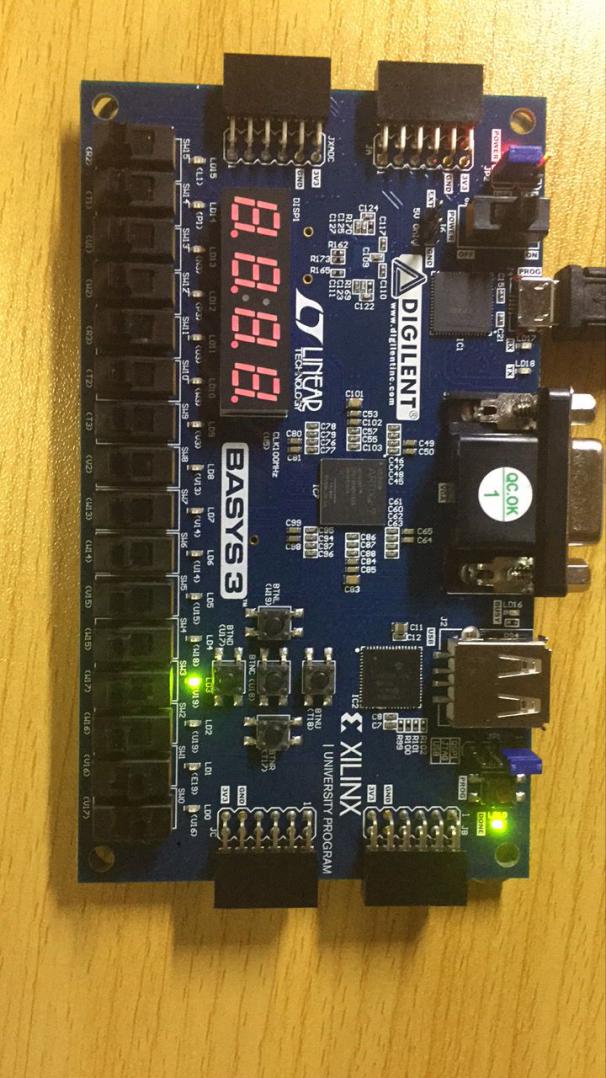
**四、实验结果**

每种SW信号对应一种led亮灯模式。

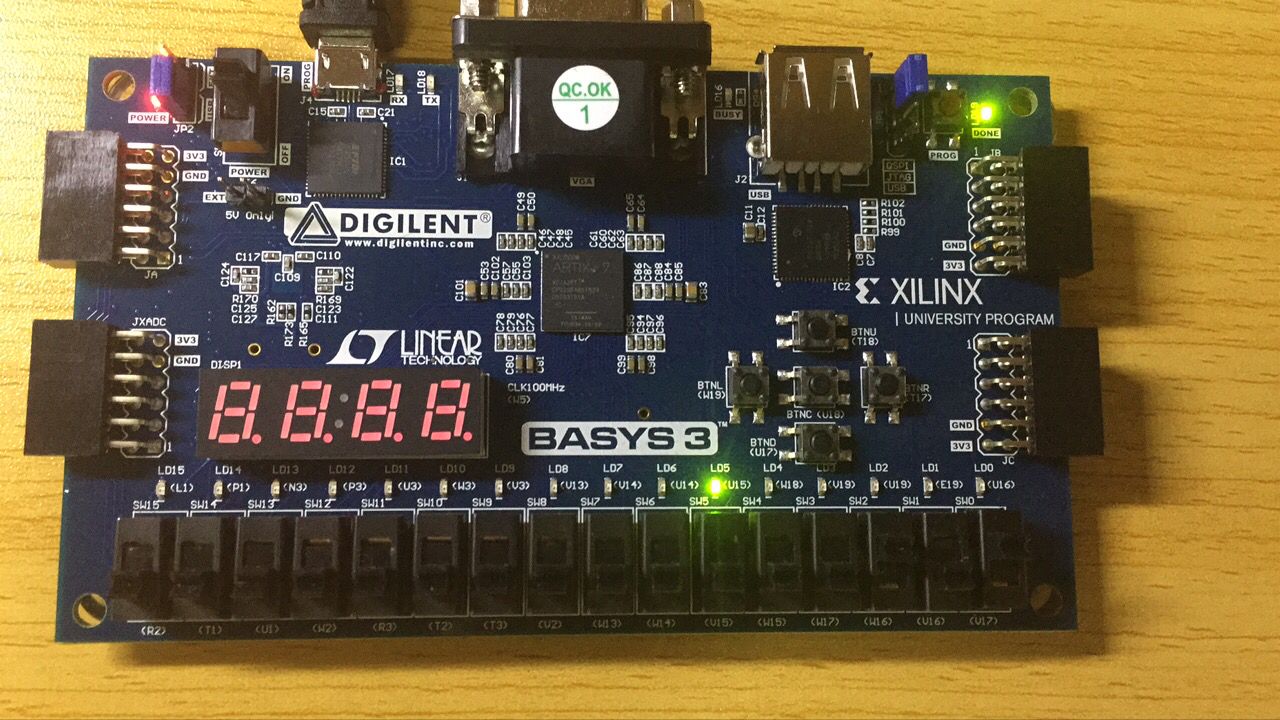
001



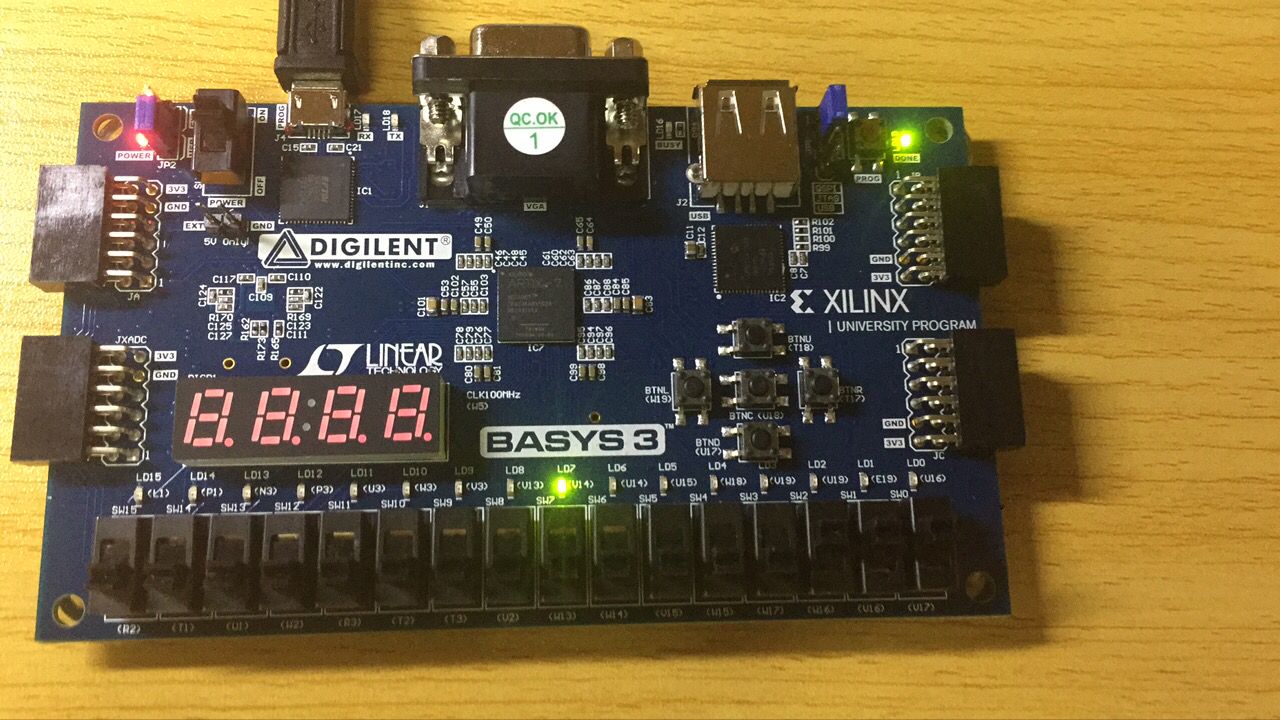
011



101



111



**五、实验感想**

这个实验的重点是教会我们如何将vivado中写好的代码烧录进basys3的开发板中去运行，3-8译码器的代码设计比较简单，直接8个case判断8种输入应该生成什么样的输出即可。烧录进开发板的操作其实我们以前也做过，不过这次是在约束文件中分配好了管脚，而之前是综合实现之后再一个界面慢慢一个一个加。以前我不知道这样做完后会生成这个约束文件，现在知道了之后以后就不用每次新建工程都去手动添加了，方便不少。